



KOREAN PATENT ABSTRACTS(KR)

Document Code:A

(11) Publication No.1020010004529

(43) Publication Date. 20010115

(21) Application No.1019990025218

(22) Application Date. 19990629

(51) IPC Code:

H01L 23/13

(71) Applicant:

HYNIX SEMICONDUCTOR INC.

(72) Inventor:

CHO, SUN JIN

(30) Priority:

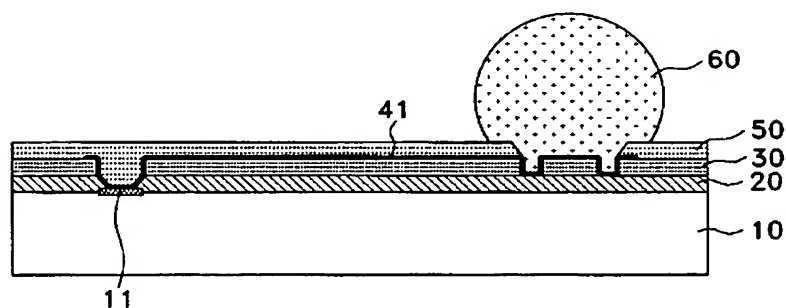
(54) Title of Invention

WAFER LEVEL PACKAGE AND METHOD FOR MAKING THE SAME

Representative drawing

(57) Abstract:

PURPOSE: A wafer level package and a method for making the same are provided to increase a deposition area of a metal pattern by depositing a metal pattern in an embossed groove, and increase a junction intensity of a solder ball by increasing a contact area between a solder ball and a metal pattern.



CONSTITUTION: A wafer level package includes a semiconductor chip having the many bonding pads(11), a lower insulating layer(30), a metal pattern(40), an upper insulating layer(50), and a solder ball(60). The lower insulating layer is deposited on a bonding pad forming surface of the semiconductor chip, has a via hole exposing the bonding pad, and an embossed groove is formed to a part separated from the via hole. The metal pattern is deposited on a lower insulating layer and electrically connects the bonding pad to the embossed groove. The upper insulating layer is deposited on an upper part of a total structure, and forms a ball land exposing a metal pattern deposited on the embossed groove. The solder ball is mounted to the ball land, and is electrically

connected to a metal pattern deposited on the embossed groove.

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl. ⁶

(11) 공개번호

특2001-0004529

H01L 23 /13

(43) 공개일자

2001년01월15일

(21) 출원번호 10-1999-0025218

(22) 출원일자 1999년06월29일

(71) 출원인 현대전자산업 주식회사 김영환

(72) 발명자 경기도 이천시 부발읍 아미리 산 136-1
조순진

(74) 대리인 경기도수원시팔달구영통동1053-2풍림아파트233-802
강성배

심사청구 : 있음

(54) 웨이퍼 레벨 패키지 및 그의 제조 방법

요약

본 발명은 웨이퍼 레벨 패키지 및 그의 제조 방법을 개시한다. 개시된 본 발명에 따른 패키지는 본딩 패드 형성면에 하부 절연층이 도포된 반도체 칩을 포함한다. 하부 절연층의 일측에는 본딩 패드를 노출시키는 비아홀이, 타측에는 요철홀이 형성된다. 본딩 패드와 요철홀을 연결하는 금속 패턴이 하부 절연층상에 증착된다. 전체 구조 상부에 상부 절연층이 도포되고, 상부 절연층에 요철홀에 증착된 금속 패턴 부분을 노출시키는 홀이 형성되어, 볼 랜드가 형성된다. 볼 랜드에 솔더 볼이 마운트된다.

대표도

도11

명세서

도면의 간단한 설명

도 1 내지 도 2는 종래의 웨이퍼 레벨 패키지를 나타낸 단면도.

도 3은 종래의 웨이퍼 레벨 패키지의 볼 랜드 부분을 확대해서 나타낸 사시도.

도 4 내지 도 11은 본 발명의 실시예 1에 따른 웨이퍼 레벨 패키지를 제조 공정 순서대로 나타낸 단면도.

도 12 내지 도 14는 본 발명의 실시예 2에 따른 웨이퍼 레벨 패키지를 제조 공정 순서대로 나타낸 단면도.

- 도면의 주요 부분에 대한 부호의 설명 -

10 ; 웨이퍼	11 ; 본딩 패드
20 ; 보호층	30 ; 하부 절연층
31 ; 비아홀	32 ; 요철층
40 ; 금속층	41 ; 금속 패턴
50 ; 상부 절연층	51 ; 볼 랜드
60 ; 솔더 볼	70 ; 집합 보조 금속층
71 ; 집합 보조 금속 패턴	

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 웨이퍼 레벨 패키지 및 그의 제조 방법에 관한 것으로서, 보다 구체적으로는 웨이퍼 상태에서 패키징 공정이 이루어지는 패키지에 관한 것이다.

기존의 패키지는 웨이퍼를 먼저 스크라이브 라인을 따라 절단하여 개개의 반도체 칩으로 분리한 후, 개개의 반도체 칩별로 여러 가지 패키징 공정을 실시하는 것에 의해 제조되었다.

그러나, 상기된 기존의 패키지는 개개의 반도체 칩별로 많은 단위 공정이 실시되어야 하기 때문에, 하나의 웨이퍼에서 제조되는 반도체 칩들을 고려하게 되면, 공정수가 너무 많다는 문제점을 안고 있다.

그래서, 최근에는 웨이퍼를 먼저 절단하지 않고 웨이퍼 상태에서 상기된 패키징 공정을 우선적으로 실시한 후, 최종적으로 스크라이브 라인을 따라 절단하여 패키지를 제조하는 방안이 제시되었다. 이러한 방법으로 제조된 패키지를 웨이퍼 레벨 패키지라 하는데, 도 1 및 도 2에 종래의 웨이퍼 레벨 패키지가 단면도로 도시되어 있다.

먼저, 도 1을 참조로 하여, 웨이퍼(1) 표면에는 실리콘 질화막인 보호막(2)이 도포되어 있다. 웨이퍼(1) 표면에 구성된 반도체 칩의 본딩 패드(1a)는 식각에 의해 보호막(2)에 형성된 홈을 통해 노출되어 있다.

이러한 상태에서, 보호막(2) 전체 표면에 하부 절연층(3)을 도포한다. 본딩 패드(1a) 상부에 위치한 하부 절연층(3)을 식각하여 본딩 패드(1a)를 외부로 노출시킨다. 그런 다음, 구리나 알루미늄 재료의 금속막을 전체 구조 표면에 진공 증착한다. 이때, 금속막은 본딩 패드(1a)에도 증착된다. 이어서, 금속막을 부분 식각하여, 일단은 본딩 패드(1a)에 전기적으로 연결되고 타단은 하부 절연층(3)상에 위치하는 금속 패턴(4)을 형성한다. 그런 다음, 전체 구조 표면에 상부 절연층(5)을 도포한 후, 금속 패턴(4)의 타단 상부에 위치한 상부 절연층(5) 부분을 식각하여 금속 패턴(4)의 타단을 노출시킨다. 노출된 금속 패턴(4)의 타단이 솔더 볼이 마운트되는 볼 랜드(4a)가 된다.

이어서, 도 2에 도시된 바와 같이, 볼 랜드(4a)에 구형의 솔더 볼(6)을 올려놓은 후, 열을 이용한 리플로우 공정을 통해

솔더 볼(6)과 볼 랜드(4a)를 접착시키므로써, 반도체 칩의 본딩 패드(1a)와 기판에 실장되는 솔더 볼(6)을 전기적으로 연결시킨다. 마지막으로, 웨이퍼(1)에 형성된 스크라이브 라인을 따라 절단하여 개개의 반도체 칩으로 분리하면, 웨이퍼 레벨 패키지가 완성된다.

발명이 이루고자하는 기술적 과제

상기된 공정을 통해 완성된 웨이퍼 레벨 패키지는 그의 솔더 볼이 기판(PCB)에 실장되어 작동하게 된다. 여기서, 패키지와 기판의 각 열팽창계수는 서로 다르다. 이로 인하여, 패키지와 기판 각각에서 발생된 열이 서로 교환될 때, 매우 작은 크기의 솔더 볼에 열응력이 인가되어 솔더 조인트의 접착력이 취약해진다. 결국에는 솔더 조인트가 파괴되어 전기 신호 전달 경로가 끊어지게 된다. 이와 같이, 웨이퍼 레벨 패키지에서는 솔더 볼의 조인트 신뢰성 확보가 최우선적 과제이다.

솔더 볼의 조인트 신뢰성을 확보하기 위해서는 솔더 볼과 볼 랜드간의 접착력 강화가 필수적이다. 그런데, 종래의 웨이퍼 레벨 패키지는 솔더 볼과 볼 랜드간의 접착력이 매우 취약하다. 그 이유는, 솔더 볼과 볼 랜드간의 접촉 면적이 절대적으로 좁기 때문이다.

보다 구체적으로 설명하면, 도 3에 사시도로 상세히 도시된 바와 같이, 금속 패턴(4)의 타단인 볼 랜드(4a)는 원형이고, 이 원형의 볼 랜드(4a) 주위는 상부 절연층(5)이 둘러싸고 있다. 솔더 볼(6)은 상부 절연층(5)에 접촉되면서 볼 랜드(4a)에 접촉하도록 되어 있다. 상부 절연층(5)은 솔더 볼(6)과 금속적 접합이 이루어지지 않으므로, 볼 랜드(4a)의 평평한 표면만이 오직 솔더 볼(6)에 접합된다.

본 발명은 웨이퍼 레벨 패키지가 안고 있는 상기된 문제점을 해소하기 위해 안출된 것으로서, 볼 랜드와 솔더 볼간의 접촉 면적이 확장되도록 하여, 볼 랜드와 솔더 볼간의 접합 강도를 대폭 강화시킬 수 있는 웨이퍼 레벨 패키지 및 그의 제조 방법을 제공하는데 목적이 있다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위하여, 본 발명에 따른 웨이퍼 레벨 패키지는 본딩 패드 형성면에 하부 절연층이 도포된 반도체 칩을 포함한다. 하부 절연층의 일측에는 본딩 패드를 노출시키는 비아홀이, 타측에는 요철층이 형성된다. 본딩 패드와 요철층을 연결하는 금속 패턴이 하부 절연층상에 증착된다. 전체 구조 상부에 상부 절연층이 도포되고, 상부 절연층에 요철층에 증착된 금속 패턴 부분을 노출시키는 홈이 형성되어, 볼 랜드가 형성된다. 볼 랜드에 솔더 볼이 마운트된다.

상기된 구조에 부가하여, 상부 절연층의 홈 내벽을 포함하는 볼 랜드에 볼 랜드와 솔더 볼간의 접합 강도를 보조하기 위한 접합 보조용 금속층이 증착되는 것도 바람직하다. 솔더 볼은 접합 보조용 금속층에 마운트된다. 접합 보조용 금속층은 3층 구조로서, 하부로부터 도전성 접착층과 확산 방지층 및 솔더 습윤층으로 구성된다. 도전성 접착층은 금속 패턴과 전기적으로 연결되면서 금속 패턴과의 접합력을 강화시키는 층이고, 확산 방지층은 솔더 볼의 주석 성분이 금속 패턴으로 확산되어 금속간 화합물을 형성하는 것을 방지하는 층이며, 솔더 습윤층은 솔더 볼 성분과의 접착력 강화를 위해 가용성을 갖는 층이다.

여기서, 접합 보조용 금속층을 사용하지 않는 대신에, 금속 패턴을 접합 보조용 금속층과 같이 도전성 접착층과 확산 방지층 및 솔더 습윤층으로 이루어진 3층 구조로 구성할 수도 있다.

상기된 구성으로 이루어진 웨이퍼 레벨 패키지를 제조하는 방법은 다음과 같다.

복수개의 반도체 칩이 구성된 웨이퍼 표면에 하부 절연층을 도포한다. 하부 절연층을 식각하여 반도체 칩의 본딩 패드를 외부로 노출시킨다. 본딩 패드 위치로부터 이격된 위치에 있는 하부 절연층 부분을 식각하여 요철층을 형성한다. 하부 절연층상에 금속층을 증착한다. 금속층은 단일층으로 증착하거나 또는 도전성 접착층과 확산 방지층 및 솔더 습윤층의 3층

으로 증착할 수도 있다. 본딩 패드와 요철층을 연결하는 부분만이 남도록 금속층을 패터닝한다. 전체 구조 상부에 상부 절연층을 도포한 후, 요철층 부분에 증착된 금속층을 노출시켜 볼 랜드를 형성한다. 볼 랜드에 솔더 볼을 마운트하고, 리플로우 공정을 통해 솔더 볼을 볼 랜드에 견고히 접합시킨다.

여기서, 금속층을 단일층으로 증착하였을 경우, 솔더 볼 마운트전에, 전체 구조 상부에 도전성 접착층과 확산 방지층 및 솔더 습윤층으로 구성된 접합 보조용 금속층을 증착한다. 볼 랜드 부위만 남도록 접합 보조용 금속층을 패터닝한 후, 접합 보조용 금속층에 솔더 볼을 마운트한다. 금속층을 전술된 3층 구조로 증착하였다면, 접합 보조용 금속층을 증착할 필요는 없다.

상기된 본 발명의 구성에 의하면, 볼 랜드가 형성되는 부분에 요철층이 형성되므로써, 솔더 볼과 볼 랜드간에 접촉 면적이 대폭 확장된다. 따라서, 솔더 볼의 접합 강도를 강화시킬 수가 있게 된다.

이하, 본 발명의 바람직한 실시예를 첨부도면에 의거하여 설명한다.

[실시예 1]

도 4 내지 도 11은 본 발명의 실시예 1에 따른 웨이퍼 레벨 패키지를 제조 공정 순서대로 순차적으로 나타낸 단면도이다.

먼저, 도 4에 도시된 웨이퍼(10)를 준비한다. 웨이퍼(10)에는 복수개의 반도체 칩들이 구성되어 있고, 반도체 칩의 본딩 패드(11)는 웨이퍼(10) 표면에 배치되어 있다. 따라서, 도 4에서 웨이퍼(10) 표면이 본딩 패드 형성면이 된다. 또한, 반도체 칩을 보호하기 위한 실리콘 질화막 재료의 보호층(20)이 웨이퍼(10) 표면에 도포되어 있다. 보호층(20)의 소정 부분이 식각되어서, 본딩 패드(11)는 보호층(20)으로부터 외부로 노출되어 있다.

이와 같은 웨이퍼(10) 표면에 도 5와 같이 하부 절연층(30)을 스퍼터링 방식으로 도포한다. 하부 절연층(30)은 웨이퍼(10) 표면을 평탄화시키는 역할과 아울러 이후에 증착될 금속층과 본딩 패드(11)를 전기적으로 절연시키는 역할을 한다. 하부 절연층(30)으로는 폴리이미드 또는 벤조사이클로부텐(benzocyclobutene) 계열의 고분자 재질이 사용될 수 있다.

이어서, 도 6과 같이 본딩 패드(11) 상부에 있는 하부 절연층(30) 부분을 식각하여 비아홀(31)을 형성한다. 본딩 패드(11)는 비아홀(31)을 통해 외부로 노출된다. 또한, 하부 절연층(30)의 우측 부분, 즉 이후에 솔더 볼이 마운트될 부분을 식각하여 요철 형상으로 2개의 홈(32)을 형성한다.

그런 다음, 전체 구조 상부에 도 7과 같이 금속층(40)을 스퍼터링이나 화학기상증착법 등과 같은 방법을 이용해서 증착한다. 금속층(40)은 본딩 패드(11)와 요철층(32)을 전기적으로 연결시키게 된다.

여기서, 금속층(40)은 구리나 알루미늄의 단일층일 수도 있고, 또는 수 개의 금속들이 적층된 다층 구조일 수도 있다. 본 실시예 1에서는 다층 구조가 채용된다. 즉, 금속층(40)은 하부로부터 도전성 접착층과 확산 방지층 및 솔더 습윤층으로 구성된다. 도전성 접착층은 알루미늄 재료의 본딩 패드(11)와 전기적으로 연결되면서 하부 절연층과 견고하게 접착되는 층이다. 확산 방지층은 솔더 볼의 주석 성분이 접착층으로 침투하여 접합력을 약화시키는 금속간 화합물을 형성하는 것을 방지하는 층이다. 솔더 습윤층은 솔더 볼과의 접합력 강화를 위해 가용성을 갖는 층이다. 이러한 3층 구조의 금속층(40)으로 알루미늄/니켈/구리, 알루미늄/티타늄/구리, 알루미늄/크롬+구리/구리, 티타늄/티타늄+텅스텐/구리 또는 크롬/크롬+구리/구리 중의 하나가 선택될 수 있다.

여기서, 금속층(40)을 증착하기 전에, 하부 절연층(30)을 아르곤 이온이나 질소 이온을 이용한 RF 스퍼터링법 또는 반응성 이온 식각법으로 세정하는 것도 바람직하다. 이러한 세정은 금속층(40)과 하부 절연층(30)간의 접합력을 강화시킨다.

이어서, 도 8과 같이 금속층(40)을 스텝 식각하여 패터닝하므로써, 본딩 패드(11)와 요철층(32)을 연결하는 금속 패턴(41)을 형성한다. 그런 다음, 전체 구조 상부에 도 9와 같이 상부 절연층(50)을 도포한다.

이어서, 도 10와 같이 요철층(32)상에 도포된 상부 절연층(50) 부분을 선택적으로 식각하여 볼 랜드(51)를 형성한다. 이때, 볼 랜드(51)를 통해 요철층(32)에 증착된 금속 패턴(41) 부분이 노출된다.

그런 다음, 도 11과 같이 볼 랜드(51)에 솔더 볼(60)을 올려놓고 열을 이용한 리플로우 공정을 통해서 솔더 볼(60)을 볼 랜드(51)에 견고히 접합시킨다. 이때, 솔더 볼(60)이 접촉되는 금속 패턴(41) 부분은 종래와 같이 단순하게 평평한 면이 아니라 요철 형상이다. 따라서, 솔더 볼(60)은 요철층(32)의 내부로도 진입하게 되므로, 솔더 볼(60)과 금속 패턴(41)간의 접촉 면적이 요철층(32)의 내벽 길이 정도만큼 확장된다. 특히, 요철층(32)의 밑면은 실리콘 질화막이므로, 본 실시예에서는 솔더 볼(60)과 질화막(20)이 직접 접합되므로, 솔더 볼이 금속층에 접합되는 경우보다 접합 강도가 대폭 강화된다.

마지막으로, 웨이퍼(10)에 형성된 스크라이브 라인을 따라 절단하면, 반도체 칩이 패키징된 상태로 개개로 분리된다.

[실시예 2]

도 12 내지 도 14는 본 발명의 실시예 2에 따른 웨이퍼 레벨 패키지를 제조 공정 순서대로 나타낸 단면도이다.

본 실시예 2에 따른 패키지는 실시예 1에 따른 패키지와 비교해서 먼저 금속층(40) 구조가 상이하다. 즉, 실시예 1의 패키지는 3층 구조의 금속막을 갖지만, 본 실시예 2의 패키지는 단층 구조의 금속층을 갖는다.

대신에, 본 실시예 2에 따른 패키지 제조 공정은 실시예 1의 도 10까지의 공정은 동일하고, 이후의 공정이 상이하게 된다. 즉, 솔더 볼을 볼 랜드에 마운트하기 전에, 도 12와 같이 전체 구조 상부에 접합 보조 금속층(70)을 증착한다. 접합 보조 금속층(70)은 실시예 1에서 설명된 금속층(40) 구조 및 재질과 동일하다.

볼 랜드(51)에 증착된 부분만 남도록 접합 보조 금속층(70)을 식각하여 도 13와 같이 접합 보조 금속 패턴(71)을 형성한다. 접합 보조 금속 패턴(71)은 요철층(32)에 증착된 금속 패턴(41)에 증착될 뿐만 아니라 상부 절연층(50)의 측벽 부분에도 증착된다. 이 점이 실시예 1과 비교해서 크게 다른 점이다. 즉, 도 10과 도 13을 비교해보면, 도 10에서 상부 절연층(50)의 측벽에는 금속 패턴(41)이 증착되지 않지만, 도 13에서는 상부 절연층(50)의 측벽에 접합 보조 금속 패턴(71)이 증착된다. 따라서, 도 11에서 솔더 볼(60)은 요철층(32)에 증착된 금속 패턴(41)에만 접촉된다. 반면에, 도 14에서 솔더 볼(60)은 요철층(32)과 상부 절연층(50)의 측벽에 증착된 접합 보조 금속 패턴(71)에 접촉되므로, 실시예 1과 비교해서 솔더 볼(60)의 접촉 면적이 더욱 확장된다.

한편, 실시예 1에서 금속층(40)을 증착하기 전에 하부 절연층(30)을 세정한 것과 마찬가지로, 접합 보조 금속층(70)을 증착하기 전에 상부 절연층(50)을 동일한 방법으로 세정하는 것도 바람직하다.

발명의 효과

이상에서 설명한 바와 같이 본 발명에 의하면, 볼 랜드 부분에 요철층이 형성되고, 이 요철층에 금속 패턴이 증착되므로써, 금속 패턴의 증착 면적이 확장된다. 따라서, 볼 랜드에 마운트되는 솔더 볼과 금속 패턴간의 접촉 면적이 확장되어, 솔더 볼의 접합 강도가 강화된다.

이상에서는 본 발명의 바람직한 실시예에 대하여 도시하고 또한 설명하였으나, 본 발명은 상기한 실시예에 한정되지 않고, 이하 청구범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변경 실시가 가능할 것이다.

(57) 청구의 범위

청구항 1. 다수의 본딩 패드를 갖는 반도체 칩;

상기 반도체 칩의 본딩 패드 형성면에 도포되고, 상기 본딩 패드를 노출시키는 비아홀이 형성되며, 상기 비아홀과 이격된

부분에 요철홈이 형성된 하부 절연층;

상기 하부 절연층 표면에 증착되어, 상기 본딩 패드와 요철홈을 전기적으로 연결하는 금속 패턴;

상기 전체 구조 상부에 도포되고, 상기 요철홈에 증착된 금속 패턴을 노출시키는 볼 랜드가 형성된 상부 절연층; 및

상기 볼 랜드에 마운트되어, 상기 요철홈에 증착된 금속 패턴과 전기적으로 연결된 솔더 볼을 포함하는 것을 특징으로 하는 웨이퍼 레벨 패키지.

청구항 2. 제 1 항에 있어서, 상기 금속 패턴은 본딩 패드와 전기적으로 연결되는 도전성 접착층; 상기 솔더 볼의 성분이 금속 패턴으로 확산되는 것을 방지하는 확산 방지층; 및 상기 솔더 볼과의 접합력 강화를 위한 가용성의 솔더 습윤층이 하부로부터 순차적으로 적층된 다층 구조인 것을 특징으로 하는 웨이퍼 레벨 패키지.

청구항 3. 제 2 항에 있어서, 상기 다층 구조의 금속 패턴의 재질은 알루미늄/니켈/구리, 알루미늄/티타늄/구리, 알루미늄/크롬+구리/구리, 티타늄/티타늄+텅스텐/구리 또는 크롬/크롬+구리/구리 중의 하나인 것을 특징으로 하는 웨이퍼 레벨 패키지.

청구항 4. 제 1 항에 있어서, 상기 금속 패턴은 알루미늄 또는 구리 재질의 단층 구조이고, 상기 볼 랜드내에 금속 패턴과 전기적으로 연결되는 도전성 접착층; 상기 솔더 볼의 성분이 금속 패턴으로 확산되는 것을 방지하는 확산 방지층; 및 상기 솔더 볼과의 접합력 강화를 위한 가용성의 솔더 습윤층이 하부로부터 순차적으로 적층된 구조의 접합 보조 금속층이 증착된 것을 특징으로 하는 웨이퍼 레벨 패키지.

청구항 5. 제 4 항에 있어서, 상기 접합 보조 금속층의 재질은 알루미늄/니켈/구리, 알루미늄/티타늄/구리, 알루미늄/크롬/구리, 티타늄/티타늄+텅스텐/구리 또는 크롬/크롬+구리/구리 중의 하나인 것을 특징으로 하는 웨이퍼 레벨 패키지.

청구항 6. 본딩 패드들을 갖는 복수개의 반도체 칩이 구성된 웨이퍼 표면에 하부 절연층을 도포하는 단계;

상기 하부 절연층을 식각하여, 상기 본딩 패드를 노출시키는 비아홀과, 상기 비아홀에서 이격된 위치에 요철홈을 형성하는 단계;

전체 구조 상부에 금속층을 증착한 후, 상기 본딩 패드와 요철홈을 연결하는 부분만 남도록 상기 금속층을 패터닝하는 단계;

전체 구조 상부에 상부 절연층을 증착한 후, 상기 요철홈 상부에 있는 상부 절연층 부분을 식각하여, 상기 요철홈에 증착된 금속 패턴 부분이 노출되는 볼 랜드를 형성하는 단계;

상기 볼 랜드에 솔더 볼을 마운트하여, 상기 솔더 볼을 요철홈에 증착된 금속 패턴 부분과 전기적으로 연결시키는 단계; 및

상기 웨이퍼에 형성된 스크라이브 라인을 따라 절단하여 개개의 반도체 칩으로 분리하는 단계를 포함하는 것을 특징으로 하는 웨이퍼 레벨 패키지 제조 방법.

청구항 7. 제 6 항에 있어서, 상기 금속층을 본딩 패드와 전기적으로 연결되는 도전성 접착층; 상기 솔더 볼의 성분이 금속 패턴으로 확산되는 것을 방지하는 확산 방지층; 및 상기 솔더 볼과의 접합력 강화를 위한 가용성의 솔더 습윤층이 하부로부터 순차적으로 적층된 다층 구조로 형성하는 것을 특징으로 하는 웨이퍼 레벨 패키지 제조 방법.

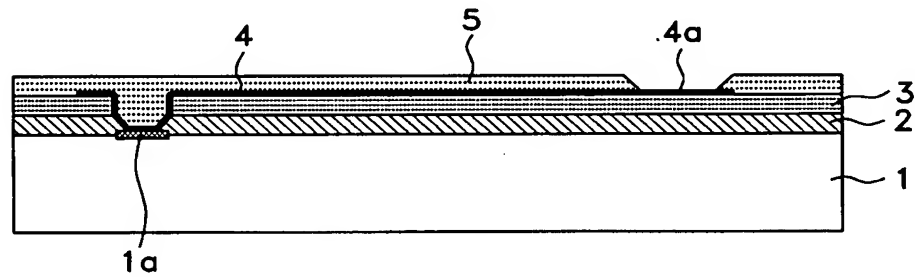
청구항 8. 제 6 항에 있어서, 상기 금속층을 단일층으로 증착하고, 상기 볼 랜드가 형성된 상부 절연층 전체 표면에

금속층과 전기적으로 연결되는 도전성 접착층; 상기 솔더 볼의 성분이 금속 패턴으로 확산되는 것을 방지하는 확산 방지층; 및 상기 솔더 볼과의 접합력 강화를 위한 가용성의 솔더 습윤층이 하부로부터 순차적으로 적층된 접합 보조 금속층을 증착한 후, 상기 볼 랜드에만 남도록 상기 접합 보조 금속층을 패터닝하고, 상기 접합 보조 금속 패턴에 솔더 볼을 마운트하는 것을 특징으로 하는 웨이퍼 레벨 패키지 제조 방법.

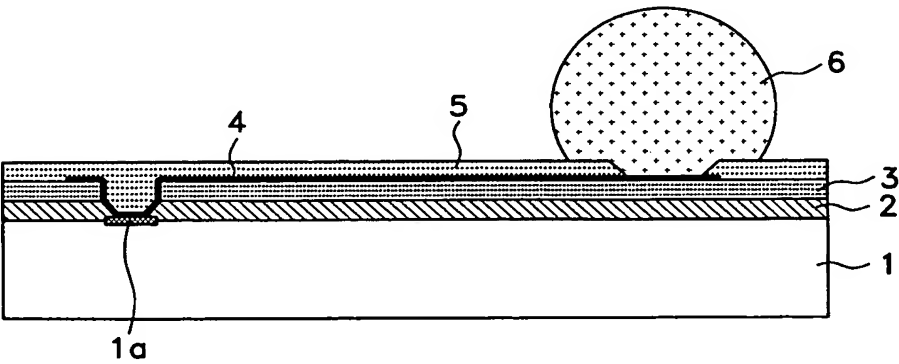
청구항 9. 제 8 항에 있어서, 상기 금속층과 접합 보조 금속층 증착 전에, 상기 하부 및 상부 절연층을 아르곤이나 질소 이온을 이용한 RF 스퍼터링법 또는 반응성 이온 식각법으로 세정하는 것을 특징으로 하는 웨이퍼 레벨 패키지 제조 방법.

도면

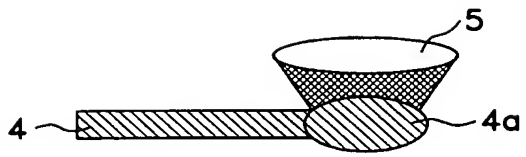
도면1



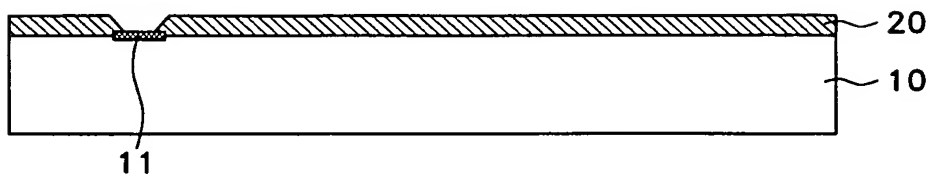
도면2



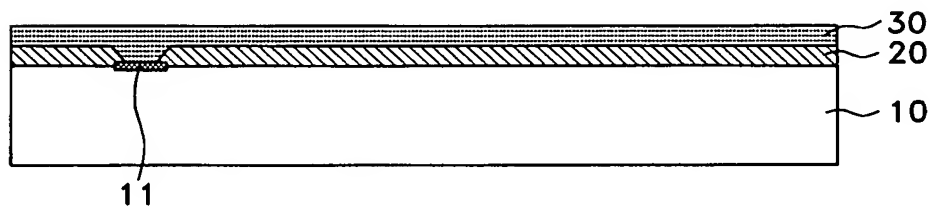
도면3



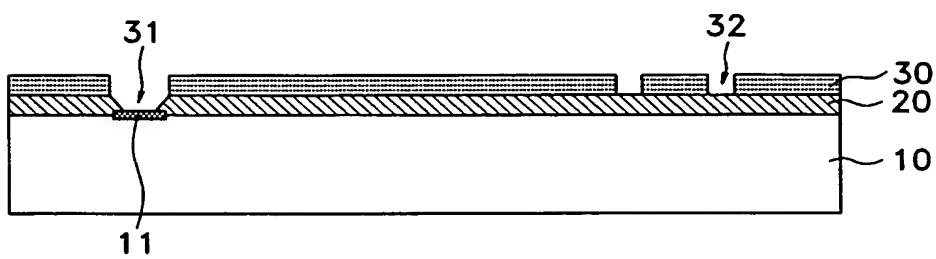
도면4



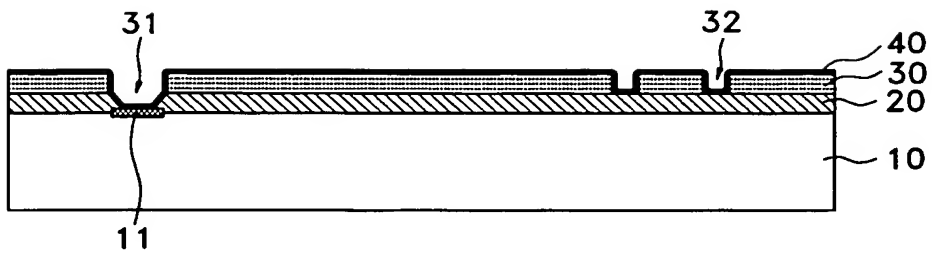
도면5



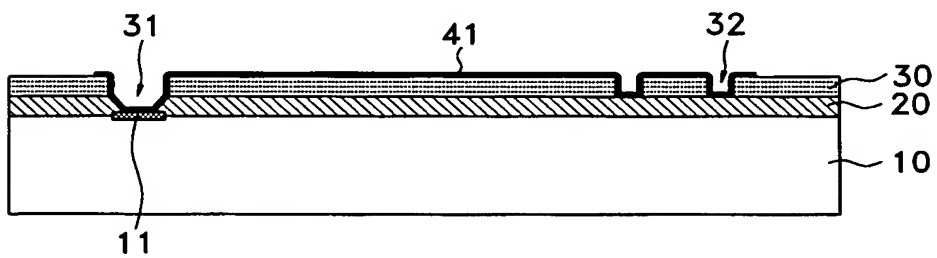
도면6



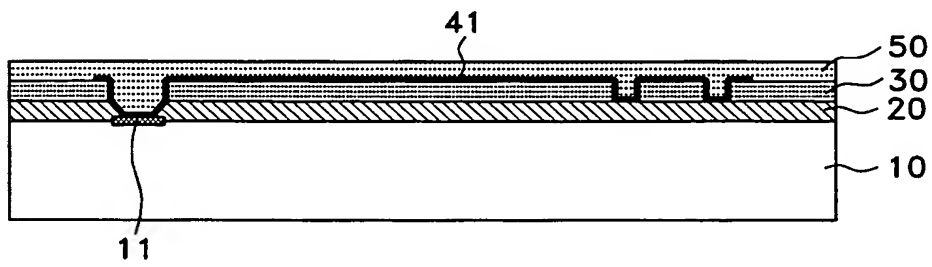
도면7



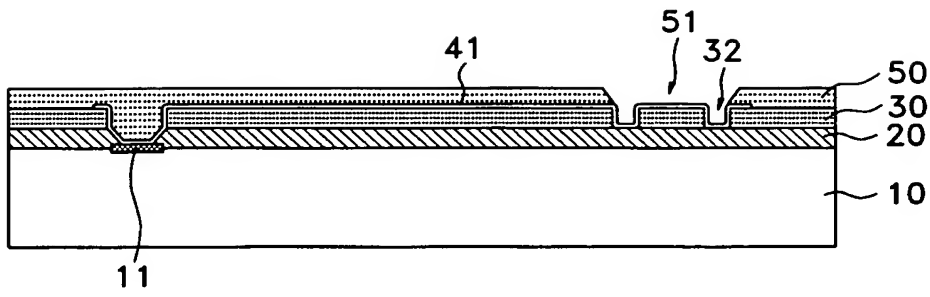
도면8



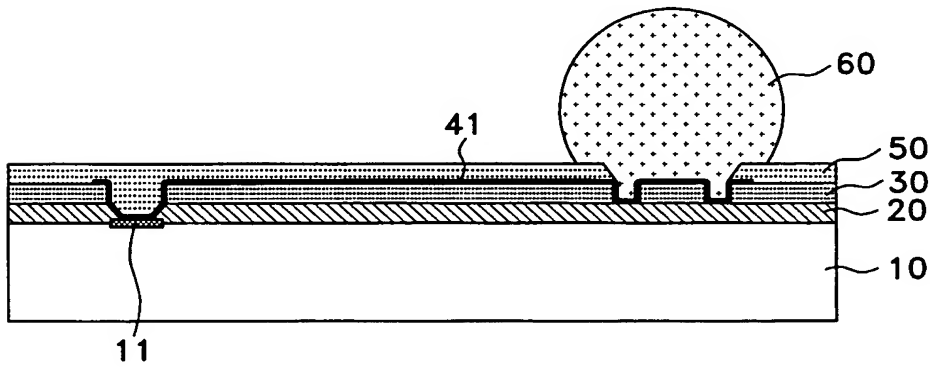
도면9



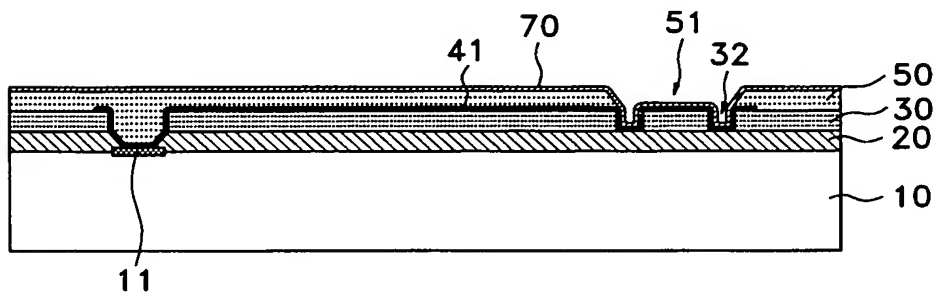
도면10



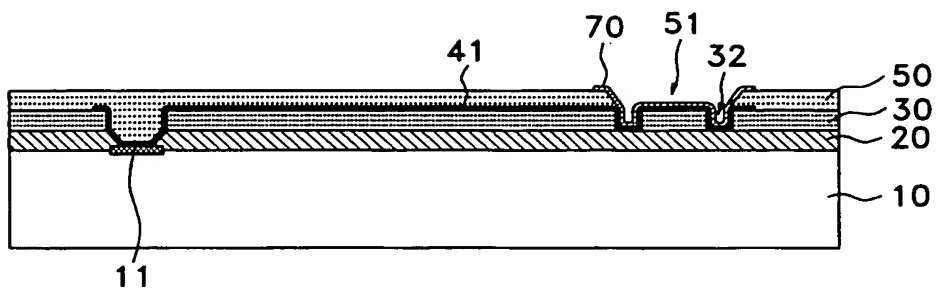
도면 11



도면 12



도면 13



도면 14

